

ОПТИЧЕСКИЙ ЦИФРО-АНАЛОГОВЫЙ ВЫЧИСЛИТЕЛЬ

DOI: 10.36724/2072-8735-2025-19-4-37-44

Каменский Владислав Валерьевич,
Ростовский государственный университет путей
сообщения, Ростов-на-Дону, Россия,
kam-vladislav@yandex.ru

Manuscript received 12 March 2025;
Accepted 14 April 2025

Соколов Сергей Викторович,
Московский технический университет связи и
информатики, Москва, Россия, s.v.s.888@yandex.ru

Лагунова Елена Олеговна,
Ростовский государственный университет путей
сообщения, Ростов-на-Дону, Россия,
lagunova@rambler.ru

Ключевые слова: оптический вычислитель,
двоичный позиционный код, возведение во вторую
степень, гигагерцовый диапазон, оптический
разветвитель, транспарант, оптический
объединитель

Показана необходимость разработки новых подходов к созданию высокопроизводительных средств вычислительной техники. Описаны существующие методы увеличения скорости умножения путем оптимизации операции суммирования и переноса в старший разряд. Представлены теоретические основы построения быстродействующего вычислителя второй степени числа представленного в двоичном коде. Предложен способ возведения числа во вторую степень без использования операции суммирования с переносом. Разработана функциональная схема оптического вычислителя, обеспечивающего возведение двоичного кода во вторую степень. Реализация схемы оптического вычислителя построена на технологически отработанных оптических элементах, таких как оптические разветвители, оптические объединители, транспаранты и др. Выведены формулы для расчета коэффициентов пропускания транспарантов. Предложен способ построения матрицы вычислительных элементов. Уменьшено количество элементов для вычисления частных произведений по сравнению с прямым умножением. Произведен анализ быстродействия оптического вычислителя. Подробно описан принцип работы оптического вычислителя и основные преимущества его использования по сравнению с традиционными электронными устройствами. Показано, что простота и высокая скорость обработки информации представленного оптического вычислителя обеспечивают возможности его широкого использования при разработке как арифметико-логических устройств оптических вычислительных машин, так и перспективных приёмопередающих устройств инфокоммуникаций.

Информация об авторах:

Каменский Владислав Валерьевич, доцент, к.т.н., ФГБОУ ВО "Ростовский государственный университет путей сообщения", Ростов-на-Дону, Россия, ORCID: 0000-0002-0704-8686

Соколов Сергей Викторович, профессор, д.т.н., ФГБОУ ВО "Московский технический университет связи и информатики", Москва, Россия, ORCID: 0000-0002-5246-841X

Лагунова Елена Олеговна, профессор, д.т.н., ФГБОУ ВО "Ростовский государственный университет путей сообщения", г. Ростов-на-Дону, Россия, ORCID: 0000-0002-2761-8068

Для цитирования:

Каменский В.В., Соколов С.В., Лагунова Е.О. Оптический цифро-аналоговый вычислитель // Т-Comm: Телекоммуникации и транспорт. 2025. Том 19. №4. С. 37-44.

For citation:

V.V. Kamenskij, S.V. Sokolov, E.O. Lagunova, "Optical digital-analog computer," T-Comm, 2025, vol. 19, no.4, pp. 37-44. (in Russian)

Введение

Постоянно возрастающие требования к скорости обработки непрерывно увеличивающихся объемов информации современные вычислители, построенные на основе традиционных технологий, зачастую удовлетворить уже не в состоянии. Несмотря на достигнутые успехи в разработке электронных технологий, дальнейшее увеличение производительности вычислительных устройств практически невозможно в силу достигнутых на сегодняшний день трех фундаментальных пределов – термодинамического, квантомеханического и скорости распространения сигналов. Подобная проблема определяет необходимость разработки новых подходов к созданию высокопроизводительных средств вычислительной техники. В том числе, на основе физических принципов, отличных от традиционных. При последующем рассмотрении одного из таких подходов будем иметь в виду, что при реализации различных алгоритмов шифрования, масштабирования и цифровой обработки сигналов наиболее широко используемыми операциями являются умножение, возведение в степень и, в частности, возведение в квадрат.

Традиционный способ умножения предполагает вычисление частных произведений с последующим их сложением с учетом переноса. Схема устройства в этом случае строится с помощью таких функциональных элементов, как полусумматоры и сумматоры, при этом реализация временной последовательности операций сложения и переноса значительно снижает общую производительность вычислителя.

Для ускорения процесса умножения и снижения аппаратных затрат в настоящее время разработаны различные методы, основанные на уменьшении количества сложений в ходе умножения или на параллельной обработке нескольких разрядов [1-15].

К первой группе следует отнести алгоритм Бута и алгоритм Лемана – указанные алгоритмы, хотя и заметно сокращают количество операций при выполнении, но все же не позволяют осуществить умножение за приемлемое время. Более эффективным является использование матричного умножения чисел, например, в умножителе Брауна, построенном на основе логических элементов «И», сумматоров и полусумматоров. Для ускорения процедуры умножения также применяется умножение чисел в дополнительном коде, для которого используется как модифицированная версия матричного умножителя Бо и Були, так и умножитель Пезариса, в котором используются четыре вида сумматоров. Но, тем не менее, матричные умножители на сегодняшний день имеют значительное время вычисления. В завершение также следует отметить т.н. древовидные умножители, которые позволяют дополнительно сократить время вычисления операции умножения, например, умножители Уоллеса и Дадда, но при этом требуют существенных дополнительных аппаратных затрат на их реализацию (для умножения двух чисел размерностью в один байт необходимо около 6 десятков полных сумматоров, при этом аппаратные затраты резко возрастают при увеличении разрядности умножаемых чисел).

При реализации любых алгоритмов для построения схем умножения необходимы логические элементы. Логические элементы являются базовыми компонентами электронных цифровых схем. Основными логическими элементами, на основе которых возможно построение любых цифровых

устройств являются логические элементы И (AND), ИЛИ (OR), НЕ (NOT): логический элемент И выдает 1 на выходе только при наличии всех единиц на его входах, логический элемент ИЛИ выдает 1 на выходе при наличии хотя бы одной единицы на его входах, логический элемент НЕ выдает на выход сигнал противоположный входному.

На основе логических элементов строятся комбинационные устройства и устройства с памятью. Комбинационные устройства однозначно имеют заданный сигнал на выходе при наличии любой комбинации сигналов на входе. Это шифраторы и дешифраторы, мультиплексоры и демультимплексоры, сумматоры и устройства вычитания, арифметико-логические устройства и преобразователи кодов [1, 2].

Устройства с памятью (их еще называют последовательными цифровыми устройствами) представляют собой устройства, в которых выходные логические значения определяются не только входными сигналами в данный момент времени, но и состоянием внутренних элементов памяти. Это триггеры, счетчики и запоминающие устройства.

Кроме этого, логические элементы входят в состав устройств, логика работы которых определяется путем программирования. Это микропроцессоры, программируемые логические матрицы (ПЛИМ), программируемые логические интегральные схемы (ПЛИС).

Также существуют специализированные интегральные схемы (ASIC), разработанные специально для выполнения конкретных функций, что делает их работу более эффективной с точки зрения производительности и энергопотребления. Современные ASIC могут включать в себя микропроцессоры (CPU), блоки памяти (ПЗУ, ОЗУ), таймеры, интерфейсные схемы и другие компоненты вычислительной техники и часто называются системой на кристалле (SoC).

Какой бы сложной ни была электронная схема, в ее основе всегда будет транзистор. В современных электронных устройствах используются полевые транзисторы (MOSFET). Полевой транзистор управляет током между истоком и стоком путем приложенного напряжения. На основе транзисторов различной проводимости (NMOS и PMOS) разработана технология (CMOS), обладающая низким энергопотреблением и высокой плотностью.

В целом, быстродействие всех существующих электронных умножителей, рассмотренных выше, не превышает 100 МГц, что не обеспечивает потребностей широкого класса задач в области инфокоммуникаций, радиолокации, беспилотного управления, навигации и др.

В связи с актуальностью проблемы построения быстродействующих цифровых умножителей, рассмотрим далее один из возможных подходов к ее решению на основе использования оптических технологий.

1 Материалы и методы

Оптические технологии – это технологии, использующие в своей основе свет для передачи, приема, хранения или обработки информации. Оптические технологии заняли прочные позиции в телекоммуникациях и постепенно начинают внедряться в технические средства вычислительных систем, нашли свое применение в оптоволоконных сетях и оптических компьютерах.

Оптические технологии имеют следующие преимущества:

- позволяют обрабатывать сигналы, изменяющиеся с частотой в миллиарды герц;
- позволяют производить параллельную обработку информации;
- позволяют разрабатывать оптические устройства очень малого размера;
- позволяют работать в условиях жестких электромагнитных помех.

Существуют два принципа построения оптических устройств:

- с использованием транспаранта;
- с использованием светоотражающей поверхности.

Первый принцип состоит в использовании транспаранта, препятствующего прохождению оптического сигнала от источника к приемнику. В этом случае с помощью транспаранта осуществляется изменение свойств оптического сигнала: может изменяться амплитуда, поляризация или фаза оптического сигнала.

Во втором случае используется отражение оптического сигнала от светоотражающей поверхности, например, изменяется направление распространения оптического сигнала.

Простейшими оптическими элементами являются линзы, призмы, зеркала и транспаранты. Современные оптические элементы, имея сверхмалые размеры, позволяют создавать миниатюрные оптические устройства обработки информации.

Для работы любого оптического устройства требуется источник оптического излучения. Источниками оптического излучения, осуществляющими преобразование электрической энергии в оптическое излучение в диапазоне волн от 10 нм до 1 мм, могут быть лампы (накаливания, люминесцентные, дуговые, газоразрядные) или светодиоды. Наиболее мощными источниками оптического излучения являются лазеры. Лазеры создают мощные и направленные лучи когерентного оптического излучения. Кроме этого, существуют разработки источников оптического излучения на основе фотонных кристаллов, квантовых точек, суперлюминесцентных диодов и др.

Соединение различных оптических элементов осуществляется с помощью волноводов. Волноводы позволяют изменять направление распространения оптического сигнала, передавать его по любой траектории, практически, без ослабления сигнала.

Оптические разветвители позволяют разделить оптический сигнал на два, три или n оптических сигналов. С увеличением количества выходов оптического разветвителя интенсивность сигналов на его выходах будет уменьшаться. Оптические разветвители используются для распределения оптического сигнала между различными каналами или устройствами, тем самым, обеспечивая гибкость и масштабируемость оптических устройств и систем.

Оптические объединители, по сравнению с оптическими разветвителями, решают обратную задачу: они объединяют несколько оптических сигналов в один. Интенсивность сигнала на выходе оптического объединителя равна сумме интенсивностей сигналов каждого входа. Оптические объединители используются для объединения оптических сигналов от разных источников или оптических устройств.

Оптические разветвители и оптические объединители могут быть двух типов. Планарные (плоские) используются в

интегральной оптике, а волоконные строятся на основе волоконных световодов.

При разработке предлагаемого оптического вычислителя использованы все перечисленные выше элементы оптических устройств: оптические разветвители, транспаранты и оптические объединители [16, 17].

Оптические волноводы, оптические разветвители и оптические объединители при обработке информации не позволяют делать главного – осуществлять выполнение логических операций, на основе выполнения которых строятся любые, даже самые сложные, вычислительные устройства. В свою очередь, для реализации устройств, выполняющих логические функции, необходимы элементы, осуществляющие нелинейные преобразования. Такими элементами могут быть трансфазоры или оптически связанные волноводы. Интенсивность сигналов на выходе этих элементов скачкообразно изменяется при плавном изменении сигнала на входе. Далее в качестве одного из вариантов рассмотрен оптоэлектронный логический элемент И, преимуществом которого перед вышеперечисленными является простота его реализации и высокая технологичность.

Функциональная схема оптического вычислителя, осуществляющего возведение в квадрат n -разрядного двоичного кода, состоит из группы оптических разветвителей S_i , $i=1,2,\dots,n$ (рис. 1), вычислительных элементов F_p , $p=1,2,\dots,L$ (рис. 2) и оптического объединителя C (рис. 3).

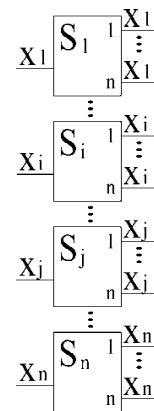


Рис. 1. Схема разветвления сигналов на выходах оптических разветвителей S_i

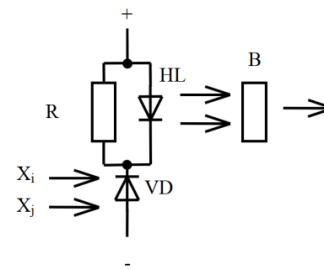


Рис. 2. Функциональная схема вычислительного элемента F_p

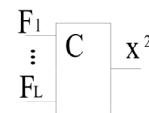


Рис. 3. Схема подачи оптических сигналов на оптический объединитель C

Количество вычислительных элементов F_p в рассматриваемом далее вычислителе равно:

$$L = (n + 1)n / 2$$

Если устройство и принцип действия оптических разветвителей и оптического объединителя не требуют пояснений, то на принципе действия и устройстве оптических вычислительных элементов необходимо остановиться отдельно.

Оптический вычислительный элемент является нелинейным пороговым устройством, построенным на последовательно соединенных фотодиоде VD и резисторе R .

Фотодиод VD обеспечивает прием оптических сигналов с выходов оптических разветвителей S_i . Функционирование фотодиода VD осуществляется в режиме, обеспечивающем его максимально возможное быстродействие (режим фотоприемника). Схема фотоприемника VD питается постоянным током: положительный потенциал подается на один из выводов резистора R , а отрицательный потенциал подается на анод фотодиода VD . Источником оптического сигнала является светодиод HL . Напряжение между анодом фотодиода VD и положительным потенциалом источника питания является достаточным для срабатывания светодиода HL . Оптический сигнал с выхода светодиода HL поступает на транспарант B . Коэффициент передачи транспаранта B выбирается в зависимости от поступающих на вход вычислительного элемента оптических сигналов.

В разработанном оптическом вычислителе используются два типа оптических вычислительных элементов.

Оптический вычислительный элемент первого типа F_p осуществляет вычисление функции масштабирования с коэффициентом R_{ij} произведения i -го x_i и j -го x_j разрядов двоичного позиционного кода

$$y = x_i x_j R_{ij}$$

С учетом того, что входные оптические сигналы x_i и x_j являются двоичными, операцию умножения можно заменить операцией логического «И», а функцию вычислительного элемента в этом случае представить следующим образом:

$$\begin{cases} y = R_{ij}, & \text{если } x_i = 1 \text{ и } x_j = 1, \\ y = 0, & \text{если } x_i = 0 \text{ или } x_j = 0 \end{cases}$$

Оптические вычислительные элементы второго типа F_p имеют особенность. Они работают с одним оптическим входным сигналом и реализуют функцию масштабирования с коэффициентом R_{ii} операции возведения в квадрат x_i разряда двоичного позиционного кода

$$y = x_i x_i R_{ii}$$

т.е.

$$\begin{cases} y = R_{ii}, & \text{если } x_i = 1, \\ y = 0, & \text{если } x_i = 0 \end{cases}$$

Рассмотрим далее более подробно описание структуры и принципа действия оптического вычислителя.

2 Результаты

Функциональная схема оптического вычислителя

Основным принципом построения структуры оптического вычислителя является матричное расположение вычислительных элементов F_p , $p=1,2, \dots, L$, представленное на рисунке 4.

Представленная матрица расположения вычислительных элементов является диагональной - в первой строке матрицы находится один оптический вычислительный элемент, во второй – два, в третьей – три, и т.д. – в строке с номером n находится n вычислительных элементов. Общее количество вычислительных элементов равно L .

Оптические вычислительные элементы F_p второго типа расположены в ячейках квадратной матрицы по ее главной диагонали, оптические вычислительные элементы первого типа располагаются во всех ячейках матрицы ниже главной диагонали.

Каждый оптический вычислитель обрабатывает сигналы с выходов двух оптических разветвителей S_i и S_j . Оптические сигналы с выходов оптических разветвителей S_i и S_j поступают на входы p -го оптического вычислительного элемента F_p (вход его фотодиода).

Порядковый номер оптического вычислительного элемента F_p , на который подаются оптические сигналы " x_i " и " x_j ", определяется выражением:

$$P = \frac{i(i-1)}{2} + j$$

Входы питания всех оптических вычислительных элементов соединены с выходом источника напряжения (не показаны).

Выходы всех оптических вычислителей первого и второго типа F_p оптически связаны со входами оптического объединителя C . Оптические сигналы разной интенсивности с выходов оптических вычислителей F_p объединяются в общий оптический поток и поступают на выход устройства.

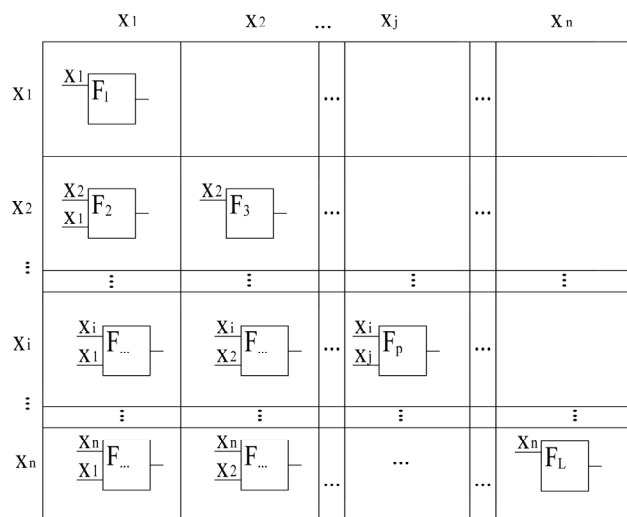


Рис. 4. Матрица расположения вычислительных элементов

Принцип действия оптического вычислителя

Оптический цифро-аналоговый вычислитель осуществляет возведение во вторую степень n -разрядного числа X путем вычисления суммы квадратов каждого i -го разряда - « $x_i \cdot x_i$ », и суммы удвоенных произведений каждого разряда на каждый - « $x_i \cdot x_j$ », в соответствии с формулой квадрата n -разрядного числа:

$$X^2 = (2^{n-1}x_n + \dots + 2^2x_3 + 2^1x_2 + 2^0x_1)^2 = (2^{n-1}x_n + \dots + 2^2x_3 + 2^1x_2 + 2^0x_1)(2^{n-1}x_n + \dots + 2^2x_3 + 2^1x_2 + 2^0x_1) = (2^{n-1}x_n)^2 + \dots + (2^2x_3)^2 + (2^1x_2)^2 + (2^0x_1)^2 + 2 \cdot 2^0x_1 \times \otimes (2^{n-1}x_n + \dots + 2^2x_3 + 2^1x_2) + 2 \cdot 2^1x_2(2^{n-1}x_n + \dots + 2^2x_3) + + 2(2^{n-2}x_{n-1})(2^{n-1}x_n)$$

На входы устройства подается число X , которое требуется возвести в степень 2. Число подается в двоичном позиционном коде " x_1, x_2, \dots, x_n " в виде набора из n бит x_i :

$$X = \sum_{i=1}^n x_i 2^{i-1}$$

Так как на входе устройства расположены оптические разветвители, которые разветвляют один входной сигнал на n выходных сигналов меньшей интенсивности, то входные сигналы имеют уровень логической единицы n усл.(овных).ед(иниц).

Входные оптические сигналы с интенсивностью n усл. ед. поступают на входы оптических разветвителей S_i , уменьшаются в n раз и с интенсивностью 1 усл. ед. поступают на входы разветвителей.

В общем случае два оптических сигнала поступают на оптический вычислительный элемент F_p : первый оптический сигнал - с выхода оптического разветвителя S_i , а второй оптический сигнал - с выхода оптического разветвителя S_j .

Оптические вычислительные элементы первого типа выдают на выходе оптический сигнал с интенсивностью 0 усл. ед. (логический ноль) при наличии хотя бы одного оптического сигнала на входе с интенсивностью, равной нулю:

$$\{x_i = 0, x_j = 0\}, \{x_i = 0, x_j = 1\}, \{x_i = 1, x_j = 0\}$$

Это достигается тем, что порог срабатывания фотодиода VD выбран больше, чем может обеспечить один оптический сигнал с интенсивностью 1 усл. ед.

Оптический сигнал с интенсивностью 1 усл. ед. (логическая единица) появится на выходе только при наличии двух оптических сигналов с интенсивностью 1 усл. ед. (логическая единица):

$$\{x_i = 1, x_j = 1\}$$

Суммарная интенсивность оптического сигнала будет больше порога срабатывания фотодиода VD . Напряжение на светодиоде HL будет достаточным для излучения оптического сигнала интенсивности 1 усл. ед. Этот оптический сигнал поступит на вход оптического транспаранта B . Коэффициент передачи оптического транспаранта B определяется типом вычислительного элемента (первого или второго типа) и его местом расположения в матрице вычислительных

элементов. Пройдя оптический транспарант B , оптический сигнал с поступит на выход вычислительного элемента.

Порог срабатывания фотодиода VD в вычислительном устройстве второго типа выбран меньше, чем порог срабатывания фотодиода VD в вычислительном устройстве первого типа. Для срабатывания фотодиода VD и далее светодиода HL , достаточно сигнала с интенсивностью 1 усл. ед. на входе вычислительного устройства.

С учетом того, что при перемножении разрядов двоичного кода x_i и x_j вес полученного произведения равен

$$H = 2^{i+j-2},$$

коэффициент передачи оптического транспаранта B вычислительного элемента первого типа равен:

$$K = 2^{-(2n-i-j-1)}$$

При этом интенсивность оптического сигнала на выходе вычислительного элемента первого типа равна весу удвоенного произведения « $x_i x_j$ »

$$R_{ij} = 2^{i+j-1} = 2 \cdot 2^{i+j-2} \text{ усл. ед.}$$

Соответственно, для вычислительного элемента второго типа коэффициент передачи оптического транспаранта B равен:

$$K = 2^{-2(n-i)}$$

Интенсивность оптического сигнала на выходе вычислительного элемента второго типа определяется квадратом i -го разряда « $x_i x_i$ »

$$R_{ij} = 2^{2i-2} \text{ усл. ед.}$$

На выходах вычислительных элементов F_p формируются сигналы с интенсивностями, пропорциональными частным произведениям отдельных бит числа X . Все выходы вычислительных элементов F_p подключены ко входам оптического объединителя C , который осуществляет суммирование сигналов с выходов вычислительных элементов F_p . В результате на выходе оптического объединителя C формируется аналоговый оптический сигнал с интенсивностью

$$X^2 = \sum_{i=1}^n \sum_{j=1}^i \left\{ \begin{array}{l} i = j, 2^{i+j-2} x_i x_i \\ i \neq j, 2 \cdot 2^{i+j-2} x_i x_j \end{array} \right\} \text{ усл. ед.}$$

Например, квадрат трехразрядного числа будет равен

$$X^2 = (2^2x_3 + 2^1x_2 + 2^0x_1)^2 = (2^2x_3 + 2^1x_2 + 2^0x_1)(2^2x_3 + 2^1x_2 + 2^0x_1) = (2^2x_3)^2 + (2^1x_2)^2 + (2^0x_1)^2 + 2 \cdot 2^2x_3 2^1x_2 + 2 \cdot 2^2x_3 2^0x_1 + 2 \cdot 2^1x_2 2^0x_1 = = 16x_3x_3 + 4x_2x_2 + x_1x_1 + 16x_3x_2 + 8x_3x_1 + 4x_2x_1$$

Таким образом, возведение во вторую степень трехразрядного числа x путем умножения в общем случае требует нахождения 9 частных произведений, а с учетом одинаковых разрядов в множителях – только 6.

Приведенный простой пример возведения во вторую степень трехразрядного двоичного числа, по сравнению с традиционным умножением двух трехразрядных чисел,

иллюстрирует необходимость наличия меньшего количества двоичных умножений разряда на разряд, меньшего числа умножений на весовые коэффициенты $2^{N-1}, \dots, 2^1, 2^0$ и, соответственно, меньшего количества сложений результатов произведений.

Например, для трехразрядного числа матрица оптических вычислительных устройств будет состоять из трех строк и трех столбцов (рис. 5). Текущий номер строки обозначим буквой i , а номер столбца буквой j .

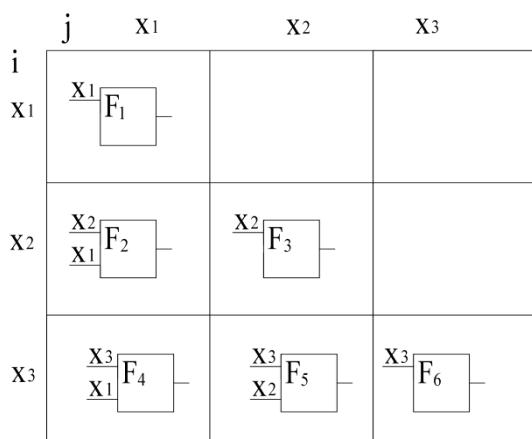


Рис. 5. Матрица расположения вычислительных элементов для трехразрядного числа

В первой строке матрицы оптических вычислительных устройств будет только один оптический вычислительный элемент F_1 . При этом номер столбца j изменяется от 1 до номера строки i , который в первой строке матрицы оптических вычислительных устройств равен 1. Оптический вычислительный элемент F_1 в этом случае будет второго типа, так как номер строки i будет равен номеру столбца j .

Во второй строке матрицы оптических вычислительных устройств будут два оптических вычислительных элемента F_2 и F_3 . В этом случае номер столбца j изменяется от 1 до номера строки i , при этом номер строки i равен 2. Здесь оптический вычислительный элемент F_2 будет первого типа, а оптический вычислительный элемент F_3 – второго типа, так как номер строки i равен 2, номер строки j тоже равен 2, а i равно j .

В третьей строке матрицы оптического вычислителя будут три оптических вычислительных элемента F_4 , F_5 и F_6 . В этом случае номер столбца j изменяется от 1 до 3 (номер строки i равен 3). Оптические вычислительные элементы F_4 и F_5 будут первого типа, а оптический вычислительный элемент F_6 будет второго типа, так как номер строки i равен 3 и номер столбца j тоже равен 3.

Матрица интенсивности оптических сигналов на выходах оптических вычислительных элементов будет иметь вид:

$$\begin{matrix} 1 \\ 4 & 4 \\ 8 & 16 & 16 \end{matrix}$$

В соответствии с этим, например, для трехразрядного числа $x=7$ (в двоичном коде 111) результат возведения во вторую степень будет равен:

$$\begin{aligned} X^2 &= 16x_3x_3 + 4x_2x_2 + x_1x_1 + 16x_3x_2 + 8x_3x_1 + 4x_2x_1 = \\ &= 16 \cdot 1 \cdot 1 + 4 \cdot 1 \cdot 1 + 1 \cdot 1 \cdot 1 + 16 \cdot 1 \cdot 1 + 8 \cdot 1 \cdot 1 + 4 \cdot 1 \cdot 1 = 49 \end{aligned}$$

Аналоговый сигнал на выходе устройства при необходимости может быть легко преобразован в цифровой сигнал путем применения аналого-цифрового преобразователя. Наименьшим временем преобразования на сегодняшний день обладают параллельные аналого-цифровые преобразователи с параллельным принципом действия - например, могут быть использованы оптические аналого-цифровые преобразователи параллельного действия, описанные в [18, 19]. Следует отметить, что общее время преобразования в этом случае увеличится незначительно.

Заключение

В данной работе проведен анализ существующих методов умножения, описаны технические средства для выполнения операции умножения. Описаны существующие методы увеличения скорости умножения путем оптимизации операции суммирования и переноса в старший разряд.

Предложен способ возведения числа во вторую степень без использования операции суммирования с переносом, при котором количество элементов для вычисления частных произведений, по сравнению с прямым умножением, сокращается в ≈ 2 раза.

Разработан вычислитель возведения двоичного числа в квадрат на основе оптических технологий с использованием технологически отработанных элементов. При этом время вычисления равно одному такту работы вычислителя и определяется быстродействием применяемых фотодиодов и светодиодов, и составляет $\approx 10^{-10}$ с.

Сочетание возможности обработки оптических сигналов на частотах гигагерцового диапазона и минимального количества широко используемых оптических вычислительных элементов позволяет сделать выводы о перспективности использования предложенного оптического вычислителя для построения высокопроизводительных средств вычислительной техники и инфокоммуникаций.

Литература

1. Шаров В.А. Цифровая схемотехника. Нижний Новгород: Нижегородский государственный технический университет им. Р.Е. Алексеева, 2021. 114 с.
2. Кулясов П.С., Баринев П.О. Цифровая схемотехника; Нижегородский государственный технический университет им. Р.Е. Алексеева. Нижний Новгород: Нижегородский государственный технический университет им. Р.Е. Алексеева, 2022. 112 с.
3. Ельцов В.Ю., Федотов А.М. Методы аппаратной реализации быстродействующего умножителя для искусственных нейронных сетей // Наука настоящего и будущего. 2024. Т. 1. С. 158-161.
4. Миронов С.Э., Буренева О.И., Милакин А.Д. Анализ архитектур умножителей для аппаратной реализации нейронных сетей // III Международная конференция по нейронным сетям и нейротехнологиям (NEURONT'2022): сборник докладов, Санкт-Петербург, 16 июня 2022 г. Санкт-Петербург: Санкт-Петербургский государственный электротехнический университет "ЛЭТИ" им. В.И. Ульянова (Ленина), 2022. С. 43-46.
5. Gayathri R., Ajith Kumar, Balaji P., Magesh P., Sridhar V. VLSI Design of Approximate Baugh-Wooley Multiplier for Image Edge Computing // International Journal of Advanced Research in Science, Communication and Technology, vol. 3(8), pp. 28-33, April 2023.
6. Mohsin S., Gowda R.J. et al. Physical Design of 64-bit Multiplier and Accumulator (MAC) Unit Using Vedic Multiplier and CLA Adder //

Journal of Electrical Engineering and Electronics Design. 2023. Vol. 1, No. 1. P. 5-9.

7. *Tawfeek R.M., Elmenyawi M.A.* VHDL implementation of 16x16 multiplier using pipelined 16x8 modified Radix-4 booth multiplier // International Journal of Electronics. 2023. Vol. 110, No. 6. P. 971-985.

8. *Gowreesrinivas K.V., Srinivas S., Samundiswary P.* FPGA Implementation of a Resource Efficient Vedic Multiplier using SPST Adders // Engineering, Technology and Applied Science Research. 2023. Vol. 13, No. 3. P. 10698-10702.

9. *Saha A., Singh R.K., Pal D.* Pair-Wise Urdhava-Tiryagbhyam (UT) Vedic Ternary multiplier // Microelectronics Journal. 2022. Vol. 119. P. 105318.

10. *Putranto D.S.C., Wardhani R.W., Larasati H.T., Kim H.* Space and Time-Efficient Quantum Multiplier in Post Quantum Cryptography Era // IEEE Access. 2023. Vol. 11. P. 21848-21862.

11. *Wu B., Zhang Z.* Optimizing multiplier design for enhanced processor performance // Applied and Computational Engineering. 2024. Vol. 38, No. 1. P. 280-287.

12. *Neeraja B., Goud R.S.P.* Design of an Area Efficient Braun Multiplier using High Speed Parallel Prefix Adder in Cadence // 2019 IEEE International Conference on Electrical, Computer and Communication Technologies (ICECCT), Coimbatore, India, 2019, pp. 1-5.

13. *Stohmann J., Barke E.* A universal Pezaris array multiplier generator for SRAM-based FPGAs," Proceedings International Conference on

Computer Design VLSI in Computers and Processors, Austin, TX, USA, 1997, pp. 489-495.

14. *Nagaraj S., Thyagarajan K., Srihari D., Gopi K.* Design and Analysis of Wallace Tree Multiplier for CMOS and CPL Logic // 2018 International Conference on Computation of Power, Energy, Information and Communication (ICCPEIC), Chennai, India, 2018, pp. 006-010.

15. *Chanda S., Guha K., Patra S., Karmakar A., Singh L.M., Lal Baishnab K.* A 32-bit Energy Efficient Exact Dadda Multiplier," 2019 IEEE 5th International Conference for Convergence in Technology (I2CT), Bombay, India, 2019, pp. 1-4, doi: 10.1109/I2CT45611.2019.9033535.

16. *Pshko A.* Mohammed, Integration of self-standing X- and Y-shaped polymer coupler and splitter with single mode optical fiber – Optical Materials <https://doi.org/10.1016/j.optmat.2020.110685>

17. *Богачков И.В.* Обнаружение натяжённых участков в оптических волокнах на основе метода бриллюэновской рефлектометрии // Т-Сотм: Телекоммуникации и транспорт. 2016. Том 10. №12. С. 85-91.

18. *Sokolov S.V., Kramarov S.O., Kamenskiy V.V., Sokolova O.I.* Synthesis of Waveguide-Optical Analog-to-Digital Converter for Ultra-High Speed Systems of Information // 2020 Systems of signals generating and processing in the field of on board communications. 2020. P 1-4.

19. *Sokolov S.V., Kamenskiy V.V., Novikov A. I., Ivetic V.* How to increase the analog-to-digital converter speed in optoelectronic systems of the seed quality rapid analyzer // Inventions. 2019. No 4(4). P 61.

OPTICAL DIGITAL-ANALOG COMPUTER

Vladislav V. Kamenskij, Rostov State Transport University (RSTU), Rostov-on-Don, Russia, kam-vladislav@yandex.ru
Sergei V. Sokolov, Moscow Technical University of Communications and Informatics, Moscow, Russia, s.v.s.888@yandex.ru
Elena O. Lagunova, Rostov State Transport University (RSTU), Rostov-on-Don, Russia, lagunova@rambler.ru

Abstract

The necessity of developing new approaches to the creation of high-performance computing equipment is shown. The existing methods of increasing the multiplication rate by optimizing the operation of summation and transfer to the highest digit are described. The theoretical foundations of building a high-speed calculator of the second power of a number represented in binary code are presented. A method of raising a number to the second power without using the operation of summation with carry is proposed. A functional scheme of an optical calculator has been developed that ensures the exponentiation of a binary code. The implementation of the optical computer circuit is based on technologically proven optical elements such as optical splitters, optical connectors, transparencies, etc. Formulas for calculating the transmission coefficients of the transparencies are derived. A method for constructing a matrix of computational elements is proposed. The number of elements for calculating partial products has been reduced compared to direct ones.

Keywords: optical calculator, binary positional code, exponentiation, gigahertz range, optical splitter, transparency, optical combiner

References

- [1] V. A. Sharov, "Digital circuit engineering," Nizhny Novgorod : Nizhny Novgorod State Technical University named after R.E. Alekseev, 2021. 114 p.
- [2] P. S. Kulyasov, R. O. Barinov, "Digital circuit engineering," Nizhny Novgorod State Technical University named after R.E. Alekseev. Nizhny Novgorod: Nizhny Novgorod State Technical University named after R.E. Alekseev, 2022. 112 p.
- [3] V. Y. Yeltsov, A.M. Fedotov, "Methods of hardware implementation of a high-speed multiplier for artificial neural networks," *Science of the present and the future*. 2024. Vol. 1, pp. 158-161.
- [4] S. E. Mironov, O. I. Bureneva, A.D. Milakin, "Analysis of multiplier architectures for hardware implementation of neural networks," "III International Conference on Neural Networks and Neurotechnologies (NEURONT'2022) : collection of reports," St. Petersburg, June 16, 2022. St. Petersburg: St. Petersburg State Electrotechnical University "LETI" named after V.I. Ulyanov (Lenin), 2022, pp. 43-46.
- [5] R. Gayathri, Kumar Ajith, P. Balaji, P. Magesh, V. Sridhar, "VLSI Design of Approximate Baugh-Wooley Multiplier for Image Edge Computing," *International Journal of Advanced Research in Science, Communication and Technology*, vol. 3(8), pp. 28-33, April 2023.

- [6] S. Mohsin, R. J. Gowda, A. Cn, S. S, "Physical Design of 64-bit Multiplier and Accumulator (MAC) Unit Using Vedic Multiplier and CLA Adder," *Journal of Electrical Engineering and Electronics Design*. 2023. Vol. 1, No. 1, pp. 5-9. DOI 10.48001/joeed.2023.115-9.
- [7] R. M. Tawfeek, M. A. Elmenyawi, "VHDL implementation of 16x16 multiplier using pipelined 16x8 modified Radix-4 booth multiplier," *International Journal of Electronics*. 2023. Vol. 110, No. 6, pp. 971-985.
- [8] K. V. Gowreesrinivas, S. Srinivas, P. Samundiswary, "FPGA Implementation of a Resource Efficient Vedic Multiplier using SPST Adders," *Engineering, Technology and Applied Science Research*. 2023. Vol. 13, No. 3, pp. 10698-10702.
- [9] A. Saha, R. K. Singh, D. Pal, "Pair-Wise Urdhava-Tiryagbhyam (UT) Vedic Ternary multiplier," *Microelectronics Journal*. 2022. Vol. 119. P. 105318. DOI 10.1016/j.mejo.2021.105318. EDN BPIQTH
- [10] D. S. C. Putranto, R. W. Wardhani, H. T. Larasati, H. Kim, "Space and Time-Efficient Quantum Multiplier in Post Quantum Cryptography Era," *IEEE Access*. 2023. Vol. 11, pp. 21848-21862.
- [11] B. Wu, Z. Zhang, "Optimizing multiplier design for enhanced processor performance," *Applied and Computational Engineering*. 2024. Vol. 38, No. 1,- pp. 280-287.
- [12] B. Neeraja and R. S. P. Goud, "Design of an Area Efficient Braun Multiplier using High Speed Parallel Prefix Adder in Cadence," *2019 IEEE International Conference on Electrical, Computer and Communication Technologies (ICECCT)*, Coimbatore, India, 2019, pp. 1-5.
- [13] J. Stohmann and E. Barke, "A universal Pezaris array multiplier generator for SRAM-based FPGAs," *Proceedings International Conference on Computer Design VLSI in Computers and Processors*, Austin, TX, USA, 1997, pp. 489-495.
- [14] S. Nagaraj, K. Thyagarajan, D. Srihari and K. Gopi, "Design and Analysis of Wallace Tree Multiplier for CMOS and CPL Logic," *2018 International Conference on Computation of Power, Energy, Information and Communication (ICCPEIC)*, Chennai, India, 2018, pp. 006-010.
- [15] S. Chanda, K. Guha, S. Patra, A. Karmakar, L. M. Singh and K. Lal Baishnab, "A 32-bit Energy Efficient Exact Dadda Multiplier," *2019 IEEE 5th International Conference for Convergence in Technology (I2CT)*, Bombay, India, 2019, pp. 1-4.
- [16] Pshko A. Mohammed, "Integration of self-standing X- and Y- shaped polymer coupler and splitter with single mode optical fiber," *Optical Materials*.
- [17] I. V. Bogachkov, "A detection of strained sections in optical fibers on basis of the brillouin relectometry method," *T-Comm*. 2016. Vol. 10. No.12, pp. 85-91.
- [18] S. V. Sokolov, S. O. Kramarov, V. V. Kamenskiy, O. I. Sokolova, "Synthesis of Waveguide-Optical Analog-to-Digital Converter for Ultra-High Speed Systems of Information," *2020 Systems of signals generating and processing in the field of on board communications*. 2020, pp. 1-4.
- [19] S. V. Sokolov, V. V. Kamenskiy, A. I. Novikov, V. Ivetic, "How to increase the analog-to-digital converter speed in optoelectronic systems of the seed quality rapid analyzer," *Inventions*. 2019. No 4(4). P. 61.